

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-251472

(P2000-251472A)

(43)公開日 平成12年9月14日 (2000.9.14)

(51)Int.Cl.<sup>7</sup>  
G 11 C 11/409

識別記号

F I  
G 11 C 11/34

マーク\* (参考)  
3 5 3 E 5 B 0 2 4

審査請求 未請求 請求項の数 3 OL (全 11 頁)

(21)出願番号 特願平11-276317  
(22)出願日 平成11年9月29日 (1999.9.29)  
(31)優先権主張番号 259454  
(32)優先日 平成11年3月1日 (1999.3.1)  
(33)優先権主張国 米国 (U.S.)

(71)出願人 390009597  
モトローラ・インコーポレイテッド  
MOTOROLA INCORPORATED  
アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303  
(72)発明者 レイ・チャン  
アメリカ合衆国テキサス州オースチン、フ  
オレスト・ハイツ・レーン8405  
(74)代理人 100091214  
弁理士 大賀 進介 (外2名)

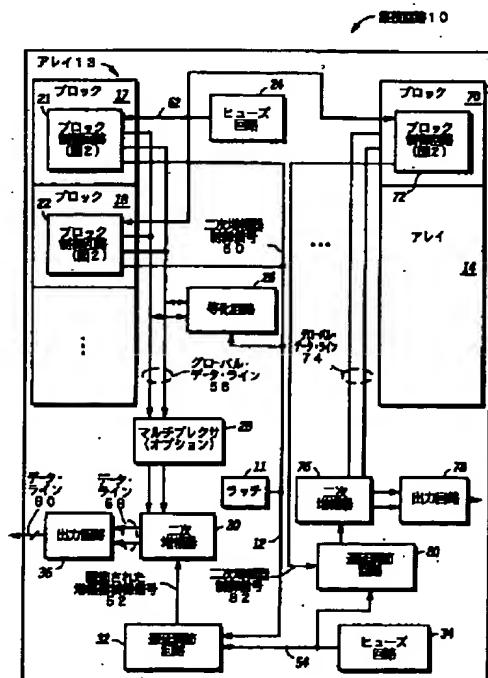
最終頁に続く

(54)【発明の名称】 プログラマブル遅延制御機能を有する集積回路

(57)【要約】

【課題】 プログラマブル遅延を使用しクロックの最適化を図った集積回路およびメモリを提供する。

【解決手段】 メモリは、二次増幅器が受信するグローバル・データ・ライン上にデータを与えるセンス・アンプを有する。センス・アンプおよび二次増幅器は、プログラマブル遅延回路によって時間を調整されたクロックによってイネーブルされる。プログラマブル遅延回路に連続出力を与える遅延選択回路によって、プログラマブル遅延をプログラムする。2つの遅延選択回路がある。1つは、センス・アンプをイネーブルするプログラマブル遅延回路全てによって共用され、1つは、二次増幅器をイネーブルするプログラマブル遅延回路全てによって共用される。これら2つの遅延選択回路の出力は、プログラマブル遅延回路をプログラムする出力を与えるように選択され、最悪の場合のメモリ・アクセス時間を最適化する。



## 【特許請求の範囲】

【請求項1】集積回路であって：遅延を指示する選択信号を与える出力を有する選択回路；および前記選択回路の出力に結合されたプログラム入力を各々が有する複数のプログラマブル遅延回路；から成ることを特徴とする集積回路。

【請求項2】メモリであって：メモリ・セルのブロックから成る複数のアレイ；前記メモリ・セルのブロック内に位置し、前記メモリ・セルの論理状態を検出し、イネーブルされたことに応答して、前記メモリ・セルの論理状態を表す信号を与える出力を有する複数のセンス・アンプ；前記センス・アンプの出力に結合されたグローバル・データ・ライン；遅延選択値を与える出力を有する第1遅延選択回路；および前記センス・アンプをイネーブルするプログラマブル遅延回路であって、各々プログラマブル遅延回路は前記第1遅延選択回路の出力に結合されたプログラム入力を有するプログラマブル遅延回路；から成ることを特徴とするメモリ。

【請求項3】メモリであって：メモリ・セルのブロックから成る複数のアレイ；前記メモリ・セルのブロックの内第1ブロック内に位置し、データ・ラインに結合され、イネーブル入力を有するセンス・アンプ；前記データ・ラインに結合された二次増幅器；出力を有する第1遅延選択回路；および前記第1遅延選択回路の出力に結合されたプログラム入力と、前記センス・アンプの入力に結合された出力とを有する第1プログラマブル遅延回路；から成ることを特徴とするメモリ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、メモリにおける遅延制御に関し、更に特定すれば、遅延制御のためのプログラマブル遅延(programmable delay)の使用に関するものである。

## 【0002】

【従来の技術】メモリ回路を設計する際の難題の1つは、メモリ回路において種々の機能を可能（イネーブル）にするクロック信号のタイミングを最適化することである。いずれのクロック信号にも固有に含まれるのが、クロック信号を送信する回路からこれを受信する回路までの伝搬遅延である。クロック信号を発生するのは、通常、ある機能をイネーブルするため、更に具体的には、イネーブルしようとする機能においてある役割を果たす別の何らかの回路をイネーブルするためである。クロック信号は、必要とされる遅延を最適化するタイミングの目的で与えられる。このタイミングを補助するために行われているものの1つに、この遅延をプログラムすることがあげられる。この手法の特徴の1つは、かかるプログラム遅延を実施するためには、ヒューズ(fuse)のような、プログラムされる何らかの機構がなければならぬということである。かかるヒューズは、集積回路

上に空間を必要とする。また、発生するクロック信号は、それをイネーブルしている1つの回路に対しては最適化できるが、受信回路の位置に基づく遅延の差のために、他の回路は、最適な時点よりも前にクロックが供給される場合がある。ある程度の最適化は得られるものの、ヒューズを用いて遅延をプログラムすることは、遅延の最適制御に伴う問題全てを解決する訳ではない。しかしながら、ヒューズは空間を占有するので、各プログラマブル遅延素子は、それ自体に追加の空間を必要とするだけでなく、1つ以上の遅延を含んでしまう。したがって、1つの全体的な遅延回路以上に回路が必要となる。これに加えて、このプログラミングを行うためには、溶融可能な(fusible)リンクまたは他の機構を必要とする。

【0003】メモリの設計において、ダイナミック増幅器の利点は良く知られている。ダイナミック増幅器のスタティック増幅器に対する利点は、主として電力の節約にある。スタティック増幅器の利点は、いかなる信号であっても、いつでも増幅し、データをラッチしないことである。データが到達すると直ぐに、増幅し始め、データ自体が反転しなければならない場合、または初期データがその上にノイズを有する場合でも、間違った方向にラッチしないので、出力が間違ったデータを与える危険性はない。間違った方向で始まった場合、それ自体が反転し、最終的には正しいデータを与える。ダイナミック増幅器では、増幅器がイネーブルされると直ちにデータはラッチされる。その時点に誤ったデータまたは不適当なデータがある場合、間違った方向にラッチする。したがって、ダイナミック増幅器の低電力という一面を利用して、それをイネーブルするタイミングを最適化することが非常に重要である。必要以上に遅くイネーブルすると、速度上不利となる。イネーブルされるのが余りに速すぎると、信頼性の問題が生ずる。適性なタイミングによって、ダイナミック増幅器は速度もスタティック増幅器よりも高くすることができる。

## 【0004】

【発明が解決しようとする課題】メモリには、典型的に、当該メモリを分割する多くのサブアレイがあり、電力消費およびデータ・アクセス速度の効率向上を図っている。入力へのデータおよび入力からのデータをメモリ・セル位置に搬送する長い経路がある。また、クロック信号がチップ全体に広がる場合もある。これらのクロック開始から、これらを受信する回路までの距離は、大きく異なり、したがって、ある回路が別の回路からクロックを受信するまでの遅延は、一貫性(inconsistent delay)を欠く可能性がある。この問題は、ダイナミック増幅器にも当てはまる。何故なら、これらをイネーブルするためにはクロックが必要であるからである。また、ダイナミック増幅器は、かかる増幅器をどのように駆動するかに影響を与える処理、電源電圧、およびその他の二次

的な影響を受ける。かかる二次的な影響には、集積回路の他の部分で発生するノイズが含まれ、かかるノイズは、集積回路内の位置によって変化する可能性がある。この種の変化のために、メモリにダイナミック増幅器を実施するのが困難になる。したがって、クロックを最適化することによって、クロックを受信する回路が、その適性時点にクロックを受信するシステムが必要とされている。

## 【0005】

【発明の実施の形態】図1は、集積回路10の一実施例を示す。集積回路10の少なくとも一部がメモリ回路を含む。アレイ13, 14は、このメモリ回路の一部分である。各アレイは、複数のブロックに分割されている。例えば、アレイ13はブロック17, 18を含む。各メモリ・ブロックは、ブロック制御回路を含む。例えば、メモリ・ブロック17はブロック制御回路21を含み、メモリ・ブロック18はブロック制御回路22を含む。本発明の一実施例では、ブロック制御回路21, 22は同一である。本発明の別の実施例では、各メモリ・ブロック内のブロック制御回路は、同一の場合も、多少異なる場合もある。ヒューズ回路24は、ブロック制御回路21, 22に信号62を与える出力を有する。信号62は、この実施例では、4ビットの二進データから成る。ブロック回路21, 22は、グローバル・データ・ライン(global data line)56に結合され、グローバル・データ・ライン56を通じて出力を二次増幅器30に与える。また、ブロック制御回路21, 22はライン12にも結合され、ライン12を通じて出力を遅延調節可回路32に与える。図1は、更に、アレイ14内のブロック70, ブロック制御回路72, グローバル・データ・ライン74, 二次増幅器30に類似した二次増幅器76, 出力回路78, および遅延調節回路80を示す。ブロック70は、ブロック制御回路21, 22と類似したブロック制御回路72を含む。ブロック制御回路72は、グローバル・データ・ライン74に結合された1対の出力、二次増幅器制御信号82を与える出力、およびヒューズ回路24の出力に結合された入力を有する。二次増幅器76は、グローバル・データ・ライン74に結合された1対の信号入力、イネーブル入力、および1対の出力を有する。出力回路78は、二次増幅器76の1対の出力に結合された、1対の入力を有する。遅延調節回路80は、二次増幅器制御信号82を受信するクロック入力、ヒューズ回路34の出力に結合されたプログラム入力、および二次増幅器76のイネーブル入力に結合された出力を有する。

【0006】オプションのマルチプレクサ28を用いて、二次増幅器30にデータを与えるためにアレイ13またはアレイ14のどちらに位置するブロックを用いるのかについて判定を行うことも可能である。ブロック制御回路21, 22は、各々、独立して二次増幅器制御信

号50を遅延調節回路32および等化回路26に与えることができる。等化回路26は、グローバル・データ・ライン56に結合されている。ヒューズ回路34は、1つ以上の信号54を遅延調節回路32に与える。遅延調節回路32は、調節した増幅器制御信号52を、二次増幅器30に与える。二次増幅器30は、データ・ライン58を出力回路36に与える。出力回路36は、データ・ライン60を集積回路10外部に与える。ラッチ11が、ブロック制御回路21, 22のようなブロック制御回路を結合するラインに結合されており、二次増幅器制御信号50をラッチする。出力、ブロック制御回路21, 22のようなブロック制御回路によって与えられる二次増幅器制御信号50は、トライ・ステータブル(tristateable)である。

【0007】図2は、ブロック制御回路21の一部およびヒューズ回路24を示す。ヒューズ回路24は、1つ以上の信号47を遅延調節回路40に与える。遅延調節回路40は、ブロック選択信号49およびリード信号51も入力として受信する。ブロック選択信号49は、センス・アンプ制御信号発生回路42にも入力として与えられる。遅延調節回路40は、信号45を、センス・アンプ制御信号発生回路42および二次増幅器制御信号発生回路44に与える。センス・アンプ制御信号42は、センス・アンプ制御信号43をセンス・アンプ46に与える。二次増幅器制御信号44は、二次増幅器制御信号50を与える。センス・アンプ46は、列デコーダ47に結合されている、ローカル・ライン61, 62に結合されている。列デコーダ47は、ビット・ライン53を通じて、メモリ・セル48に結合されている。センス・アンプ46は、グローバル・データ・ライン56, 57上に出力を与える。

【0008】図3は、図2の遅延調節回路40の一実施例である。遅延調節回路40は、所定の遅延回路100～103, トライ・ステータブル・バッファ(tristateablebuffer)110～117, 反転器118～121, およびNANDゲート104を含む。NANDゲート104は、ブロック選択信号49およびリード信号51を入力として受信する。NANDゲート104の出力は、所定の遅延回路100およびトライ・ステータブル・バッファ110の入力に結合されている。所定の遅延回路100の出力は、トライ・ステータブル・バッファ114の入力に結合されている。所定の遅延回路101の出力は、トライ・ステータブル・バッファ115の入力に結合されている。トライ・ステータブル・バッファ115の出力は、所定の遅延回路102およびトライ・ステート・バッファ112の入力に結合されている。所定の遅延回路102の出力は、トライ・ステータブル・バッファ116の入力に結合されて

いる。トライ・ステータブル・バッファ116の出力は、所定の遅延回路103およびトライ・ステータブル・バッファ113の入力に結合されている。所定の遅延回路103の出力は、トライ・ステータブル・バッファ117の入力に結合されている。トライ・ステータブル・バッファ117の出力は、トライ・ステータブル・バッファ113の出力に結合され、信号45を与える。トライ・ステータブル・バッファ110の出力は、トライ・ステータブル・バッファ111の入力に結合されている。トライ・ステータブル・バッファ111の出力は、トライ・ステータブル・バッファ112の入力に結合されている。トライ・ステータブル・バッファ112の出力は、トライ・ステータブル・バッファ113の入力に結合されている。

【0009】ヒューズ回路24は、N個の選択信号122～125を遅延調節回路40に与える。図3に示す実施例は、ヒューズ回路24から与えられる4つの選択信号を示すが、本発明の別の実施例では、他の数の選択信号を使用することも可能である。選択信号122は、反転器118の入力、トライ・ステータブル・バッファ110の反転制御入力、およびトライ・ステータブル・バッファ114の非反転制御入力に結合される。選択信号123は、反転器119の入力、トライ・ステータブル・バッファ111の反転制御入力、およびトライ・ステータブル・バッファ115の非反転制御入力に結合されている。選択信号124は、反転器120の入力、トライ・ステータブル・バッファ112の反転制御入力、およびトライ・ステータブル・バッファ116の非反転制御入力に結合されている。選択信号125は、反転器121の入力、トライ・ステータブル・バッファ113の反転制御入力、およびトライ・ステータブル・バッファ117の非反転制御入力に結合されている。反転器118の出力は、トライ・ステータブル・バッファ110の非反転制御入力およびトライ・ステータブル・バッファ114の反転制御入力に結合されている。反転器119の出力は、トライ・ステータブル・バッファ111の非反転制御入力およびトライ・ステータブル・バッファ115の反転制御入力に結合されている。反転器120の出力は、トライ・ステータブル・バッファ112の非反転制御入力およびトライ・ステータブル・バッファ116の反転制御入力に結合されている。反転器121の出力は、トライ・ステータブル・バッファ113の非反転制御入力およびトライ・ステータブル・バッファ117の反転制御入力に結合されている。

【0010】図4は、図2に示したセンス・アンプ46を、より詳細にブロック図形状で表したものである。センス・アンプ46は、Pチャネル・トランジスタ202、Pチャネル・トランジスタ204、Pチャネル・トランジスタ206、Pチャネル・トランジスタ208、Nチャネル・トランジスタ210、Nチャネル・トラン

ジスタ212、Nチャネル・トランジスタ214、Pチャネル・トランジスタ216、およびPチャネル・トランジスタ218で構成されている。トランジスタ202、204は各々、プリチャージ信号200を受信するゲートを有する。プリチャージ信号200は、図2に示したセンス・アンプ制御信号43の1つである。トランジスタ202、204は各々、正電源を受信する正電源端子VDDに結合されたソースを有する。トランジスタ202は、ローカル・データ・ライン61に結合されたドレンを有する。トランジスタ204は、ローカル・データ・ライン62に結合されたドレンを有する。トランジスタ206は、VDDに接続されたソース、ローカル・データ・ライン62に接続されたゲート、ローカル・データ・ライン61に接続されたドレンを有する。トランジスタ208は、VDDに接続されたソース、ローカル・データ・ライン61に接続されたゲート、ローカル・データ・ライン62に接続されたドレンを有する。トランジスタ210は、ローカル・データ・ライン62に接続されたゲート、ローカル・データ・ライン61に接続されたドレン、およびソースを有する。トランジスタ212は、ローカル・データ・ライン61に接続されたゲート、ローカル・データ・ライン62に接続されたドレン、およびトランジスタ210のソースに接続されたソースを有する。トランジスタ214は、センス・アンプ・イネーブル信号201を受信するゲートを有する。センス・アンプ・イネーブル信号201は、図2に示したセンス・アンプ制御信号43の1つである。トランジスタ214は、トランジスタ210、212のソースに接続されたドレン、および図4にアースとして示す負電源端子に接続されたソースを有する。トランジスタ216は、ローカル・データ・ライン61に接続されたゲート、アースに接続されたドレン、およびグローバル・データ・ライン56に接続されたソースを有する。トランジスタ218は、ローカル・データ・ライン62に接続されたゲート、アースに接続されたドレン、およびグローバル・データ・ライン57に接続されたソースを有する。

【0011】動作において、アレイ13、14に類似した8つのアレイがあり、これらを便宜的にオクタント(octant)と呼ぶ。ここに記載する実施例では、集積回路10のメモリに対するいずれの所与のアクセスにおいても、4つのオクタントがデータを供給する。各アクセスには36ビットが与えられるので、各オクタントはアクセス当たり9ビットを与える。各オクタントは、図1に示した17、18のそのような、32のブロックを有する。所与のアクセスに対して、1つのブロックのみがデータを与えるので、所与のアクセスに対して、選択されたブロックが9ビットのデータを与える。即ち、選択された各4オクタントに対して、1つのブロックがデータを与える。したがって、アレイ13、14は、集積回

路10のサブアレイと考えることができ、ブロック17, 18はアレイ13のサブアレイと考えることができる。

【0012】読み取りに先立って、等化回路26がグローバル・データ・ライン56を等化する。図1では、マルチプレクサ28が、ブロック17, 18を有するオクタントのためのグローバル・データ・ラインに結合されているように示されている。アレイ14のような異なるオクタントから来るグローバル・データ・ラインも、マルチプレクサ28に結合される。マルチプレクサ28は、グローバル・データ・ライン56から受信したデータ、あるいは図示しない二次増幅器30からのグローバル・データ・ラインから受信したデータを与える。オプションの場合には、マルチプレクサ28は存在せず、グローバル・データ・ライン56は二次増幅器30に直接接続され、アレイ14のような他のオクタントからの、図示しないグローバル・データ・ラインからのデータを受信するために、追加の二次増幅器が設けられる。

【0013】出力回路36は、二次増幅器30からデータを受信し、所望の出力をデータ・ライン60上に与える。遅延調節回路32は、二次増幅器30をイネーブルするためのタイミングを与える。遅延量は、ヒューズ回路34からライン54に与えられる情報によって決定される。ヒューズ回路34は、集積回路10が完全に製造された後に、処理の間に選択される。ヒューズの破断(fuse blowing)は、メモリ技術では一般的である。メモリは、典型的に、ヒューズの破断によって選択的に実施される冗長性を有する。更に、今日では、ロット番号、ウエハ上の位置、およびその他の情報に基づいて、個々の集積回路を識別することが一般的になりつつある。この情報も、ヒューズの破断によって、集積回路上に置かれる。この情報は、ヒューズの破断によってエンコードされる。したがって、実際には、ヒューズの破断は、このような場合に、製造する各素子毎に行われる。メモリ内の冗長性に関し、そのような冗長性が必要とされるのは、このような場合のみである。しかしながら、冗長性を実施する技術は非常に信頼性が高いので、各素子に実施するにしても、この技術を用いる危険性は最小である。

【0014】ヒューズ回路24は、同様に、ブロック制御回路21, 22、および図示しない他のブロックに対する他のブロック制御回路にも情報を与える。最適遅延のための電気検査の後、このヒューズ回路を選択的に破断させる。ブロック制御回路21, 22は、ヒューズ回路24からライン62上に与えられる情報に基づく処理を行う(implement)。例えば、ブロック制御回路21は、ブロック17に与えられた情報の検出を開始する。また、この同じ回路、即ち、データの検出を開始したブロック制御回路21は、二次増幅器制御信号50を遅延調節回路32に与える。ヒューズ回路34によって選択

された量だけ遅延した二次増幅器制御信号50によって、遅延調節回路32による二次増幅器30のトリガリング(triggering)が開始される。また、二次増幅器制御信号50は、等化回路26が行う等化を終了させるためにも用いられる。信号50はラッチ11によってラッチされ、この場合はブロック制御回路によって与えられる論理状態に、遅延調節回路への入力を保持する。信号50を搬送するライン12は、物理的にグローバル・データ・ライン56との整合が取られている。これは意図的であり、遅延を含む信号50の挙動と、グローバル・データ・ライン56上に与えられる出力の挙動との整合性が高いという利点をもたらす。ヒューズ回路24によって行われるこの遅延選択機能は、他の形式のプログラマブル回路によっても行うことができる。例えば、この機能は、4ビットの不揮発性メモリによって行うことができる。これは、特に、いくつかのEEPROMも有するMCUに実装されたSRAMメモリに遅延を与える場合に適用可能である。遅延をこのように選択すれば、ヒューズの破断の代わりに、EEPROMにロードすることができるので便利である。

【0015】図2に、ブロック制御回路21の一部およびヒューズ回路24を示す。また、図2に、ブロック17のメモリ・セルを表すメモリ・セル48のブロックと、メモリ・セルからのデータを選択的にセンス・アンプ46に結合する列デコーダ47も示す。したがって、動作時にあっては、メモリ48内のメモリ・セルの1行をイネーブルし、次いでビット・ラインが当該ワード・ラインに沿ってデータを発生する。データは、ビット・ライン対で発生する。次に、これらビット・ライン対から選択した1対を列デコーダ47によってセンス・アンプ46に結合する。これは、SRAMの標準的な動作である。DRAMについても、列デコーダをイネーブルする前にセンス・アンプをイネーブルすることを除いて、同様である。センス・アンプ46は、センス・アンプ制御信号43に応答して、選択されたビット・ライン対からの情報を増幅し、ラッチし始める。この特定実施例では、センス・アンプ46は、ローカル・データ・ライン61およびローカル・データ・ライン62を通じて、ビット・ラインから情報を受信する。列デコーダ47は、8つのビット・ライン対から選択するので、8つのビット・ライン対の内1対が、ローカル・データ・ライン61, 62を通じてセンス・アンプ46に結合される。センス・アンプ46は、センス・アンプ制御信号発生回路42から来るセンス・アンプ制御信号43によってイネーブルされる。遅延調節回路40が共通クロック信号をライン45上に与える。これは、ブロック選択およびリード信号の組み合わせである。センス・アンプ制御信号発生回路42は、ブロック選択信号49も受信し、これを用いて、センス・アンプ46をイネーブルする前に、センス・アンプ46のプリチャージを放出する。図4に

センス・アンプを更に詳細に示す。プリチャージ信号200は、センス・アンプ制御信号43の1つである。

【0016】通常の動作では、リード信号が最初にアクティブとなり、これにブロック選択信号が続く。次いで、遅延調節回路40が、ヒューズ回路24によって決定されるブロック選択信号遅延に応答して、その出力、即ち、共通クロック信号を与える。遅延調節回路40は、ヒューズ回路24が与える選択信号に応答する、プログラマブル遅延である。ここに説明する実施例では、ヒューズ回路24は、4つの二進ビット・データを与えて、遅延調節回路40の遅延を調節する。ヒューズ回路24は、ライン47を通じて遅延調節回路40にデータを与えるように示されている。他のブロックに対する類似の遅延調節回路もヒューズ回路24に結合され、そこから4つの二進ビット・データを受信する。このように、ブロック制御回路21内部にある遅延調節回路40のようなブロック制御回路内に位置する、他のプログラマブル遅延の各々は、同じ遅延を有するようにプログラムされる。

【0017】二次増幅器制御信号発生回路44も、遅延調節回路40の出力、即ち、共通クロック信号45に応答し、二次増幅器制御信号50を与える。これは、図1に示したように、遅延調節回路32によって二次増幅器30をイネーブルするために用いられる。このように、センス・アンプ46および二次増幅器30双方は、共通クロック信号45を通じて、ブロック選択信号49に応答してイネーブルされる。信号45は、ブロック選択49から局所的に発生した制御信号であるので、センス・アンプ46の駆動(clocking), グローバル・データ・ライン56上のデータ発生、および二次増幅器40を駆動するために用いられる信号50の発生は、極めて符号して行われる。二次増幅器制御信号発生回路44は、それが含まれているブロックが選択されない場合、高インピーダンス出力を与えるので、他の選択されたブロックからの類似のブロック制御回路は、遅延調節回路32を介して、二次増幅器30をイネーブルすることができる。二次増幅器制御信号発生回路44は、三状態バッファを含む出力段を有する。ラッチ11は、アクティブなブロックがない場合、センス・アンプ制御信号51を保持する。センス・アンプ46は、グローバル・データ・ライン56, 57上にデータを与える。このデータは、図1に示すような一実施例ではマルチプレクサ28を介して間接的に、あるいは他の場合には直接的に二次増幅器30によって受信される。

【0018】集積回路10を電気的に検査できるところまで処理した後に行われる電気的測定に応じて、ヒューズ回路24, 34を破断する。電気的検査は、遅延調節回路40および遅延調節回路32に最適な遅延を決定するために用いられる。これを行うには、各メモリ・セルからデータを信頼性高く検出する結果が得られる最短遅

延を決定する。このように、ヒューズ回路24, 34は、遅いビットでさえも信頼性を損なわないように選択される。過度に遅いビットがいくつかある場合、これらは事実上欠陥であり、遅延調節回路40, 32のような遅延調節回路に適正な遅延を選択する際には考慮しない。遅延が過剰な場合、このような遅すぎるビットは欠陥と見なし、メモリ上で一般に使用可能な冗長性で置き換える。ヒューズ回路24, 34を選択することによって遅延調節回路を最適化し、必要であれば冗長性を施し、識別ヒューズ破断(identification fuse blowing)を行った後、集積回路10を再度検査する。

【0019】ブロック内におけるこの遅延調節回路40の構成は、遅延調節回路40によって与えられる遅延に関係して発生するその他の遅延も、非常に精度高く追跡することを可能にする。代替案として、遅延調節回路40は、隣接するブロック選択回路と共用することができる。例えば、遅延調節回路40を、ブロック制御回路21, 22で共用することができる。ヒューズ回路24は、プロセス変化に応じた調整が不可能な微調整のため利用される。例えば、各ブロックに接近して遅延調節回路を有することにより、チップ上の単一の場所に遅延調節回路がある場合と比較して、長い遅延および一貫性のない遅延という問題が減少する。センス・アンプ46は、有効であるためには、ビット・ラインに非常に近づけるか、あるいは過度に遅くする必要がある。ビット・ライン上にデータを与えるメモリ・セルの駆動能力は非常に小さい。したがって、ブロック21内部にあるセンス・アンプ46のように、ブロック内部にあるセンス・アンプでは、集中的な遅延調節回路では、その場所から各ブロックまでの距離を横断しなければならない。このように、遅延回路からブロックまで横断する距離は、どのブロックが選択されたかに応じて変動する。遅延回路を個別に備える利点の別の例として、電源の変動が整合することがあげられる。電源電圧は、チップ内の位置に基づいて変動する。遅延回路をブロックに近づければ、遅延回路は、当該ブロックから離れて位置する場合よりも、そのブロックが受信する電源電圧に近い可能性が高い電源電圧を受信することになる。同様に、遅延調節回路32も二次増幅器30に接近して配置し、これら2つの整合度を高める。

【0020】電源電圧は、チップ内の位置に基づいて大幅に変動する可能性がある。電源電圧を搬送するラインは有限の大きさを有し、これらを通過する電流が電圧降下を発生させてるので、位置によっては電圧自体が変動する場合がある。したがって、ヒューズを破断することによってプログラム可能とし、遅延調節回路40のようなプログラマブル調節回路に情報を与えるヒューズ回路は、当該回路に接近させることによって、変動するが完全に一致させる必要はない程度のものを調節することができる。これは、電源の変動を含むことができる。別の

例として、センス増幅器が使用可能な出力自体を与える速度は、それが受ける処理に基づいて変動する。この特性は、一般的な反転器において生ずる遅延やクロック信号を発生する論理ゲートでは調整できない場合があり、あるいは、ある程度調整できても、1対1には調整できない場合がある。したがって、変化するが一致させることができないパラメータ、または少なくとも完全に一致させることができないパラメータは、例えば、単にヒューズ回路24をクロック回路に接近させるだけで対処することができる。

【0021】最も遅いビットが、メモリの速度を決定する。実際の使用時には、どのビットを用いどのビットを用いないかは、全くわからない。これら全てを仮定しなければならない。したがって、製造者は、最も遅いビットに基づいて素子の速度を特定する。同様に、素子のオペレータまたはユーザは、最も低い信頼性レベルを考慮したクロック速度でないと動作させることはできない。この場合、個々の回路は、いずれの所与のビットに対しても最高の動作速度が得られることを保証し、ヒューズ回路は、最も遅いビットをも考慮して、最も遅いビットが最高速度(fastest capability)で動作することを保証する。

【0022】このように、信頼性の高い検出のために十分な信号を発生するように遅延を与える、センス・アンプおよび二次増幅器の最適化を図るのであるが、それ以上に長い遅延時間は不要である。これは、クロック遅延回路を、これらの遅延によって駆動されている回路に接近させることによって達成される。これらの遅延をプログラムするためには、単一のヒューズ回路が効果的である。何故なら、最悪の場合とは素子の速度に関する判定の問題であり、最も遅い場合の速度を最適化するには、単一のヒューズ回路で十分であるからである。速いビットはその最高速度では動作しないが、これでは、素子の有用性を全く改善しない。この場合、遅延に関する情報を全体的かつ継続的に伝達することによって、遅延回路が、遅延情報を受信した後に、遅延すべき信号全てを受信するように構成する。こうすれば、遅延情報の伝達に伴う遅延は発生しない。つまり、タイミングの問題は、典型的に、種々の位置にある他の回路に情報を与えることを単一の回路に行わせる場合に生じるのであり、これはヒューズ回路の配置に関する問題ではない。

【0023】センス・アンプ46および二次増幅器30は各々、ダイナミック増幅器として知られている種類のものである。センス・アンプ46は、センス・アンプ制御信号43によって駆動されるので、必要以上に遅くならないが、信頼性あるデータのラッチを保証する程度の長さである。同様に、二次増幅器30は、同じ検討事項を念頭に入れて駆動される。この場合、二次増幅器30は、例えば、ブロック17によってグローバル・データ・ライン56に与えられているデータが、二次増幅器3

0をイネーブルする時点では十分に発生していない場合、オンになるのが早すぎる可能性がある。遅延調節回路32は、二次増幅器30に接近して配置され、ブロック制御回路はブロック17に接近して配置されている。したがって、ブロック17から二次増幅器30へ伝えられるグローバル・ライン56上の遅延は、クロック制御回路21から遅延調節回路32へ伝えられるライン12上の遅延と一致する。この一致によって、その入力を受信する遅延調節回路32と、グローバル・データ・ライン56上のデータを受信する二次増幅器30との間で、信号発生遅延の一貫性が非常に高くなる。また、増幅器制御信号50およびセンス・アンプ制御信号43は双方共、共通信号、即ち、ブロック選択49から発生されるので、グローバル・データ・ライン56上に与えられるデータとライン12上に与えられる二次増幅器制御信号との関係を一層密接にするという利点がある。

【0024】ヒューズ回路34は、ヒューズ回路24と同様に最適化される。最悪条件を知るために測定を行い、ヒューズ回路34がこの情報を遅延調節回路32に与えることによって、二次増幅器30をイネーブルする遅延を、信頼性のある動作のためには必要なだけ長くするが、最高速度動作のためには可能な限り短くする。ヒューズ回路34は、二次増幅器30の動作に関する最悪条件に対して選択されるが、各オクタントはそれ自体の二次増幅器を有することができる。ヒューズ回路34は、各二次増幅器毎に遅延を選択する。しかしながら、チップの動作は、二次増幅器30のような二次増幅器の最も遅い動作より速く行うことができないので、各二次増幅器毎に単一のヒューズ回路集合を有することによって、速度上の不利が生ずることはない。何故なら、ヒューズ回路34は最も遅い場合を最適化するためである。センス増幅器46および二次増幅器30をイネーブルするタイミングを改善することによって、高速動作を与えつつ、電力節約という利点のあるダイナミック増幅器を実施することが可能となる。

【0025】図3に、遅延調節回路40として用いる遅延回路を示す。この回路には、4つの異なる遅延があり、これらは、徐々に増大するように互いに比率が決められている。この場合、所定の遅延103を基準遅延と仮定し、図3には、括弧を付けて(1)の遅延と示す。所定の遅延102は、所定の遅延103の2倍の遅延(2)を有し、所定の遅延101は、所定の遅延103の4倍の遅延(4)を有し、所定の遅延100は、所定の遅延の8倍の遅延(8)を有する。入来するのは4つの二進ビットであるので、これら4つのビットに応じてこれら4つの遅延を選択し、0から15までのあらゆる遅延量を選択できるように配列する。これは、4つの二進ビットから16個の選択肢全てが得られることを考慮したものである。

【0026】その動作としては、所定の遅延100, 1

01, 102, 103のいずれでも、迂回したり、あるいはあらゆる組み合わせで用いることができる。遅延100, 101, 102, 103は、それぞれ、二進信号122, 123, 124, 125に対応する。特定の二進信号が論理ハイになると、対応する遅延がイネーブルされる。例えば、論理ハイ状態の二進信号122, 124および論理ロー状態の二進信号123, 125を印加することによって、10の遅延を得ることができる。これは、所定の遅延100および所定の遅延102を通過し、一方所定の遅延101および所定の遅延103を迂回するという効果を有する。2の乗数とし、遅延間にトライ・ステータブル・ドライバを用いることによって、これらの遅延は、0から15まで線形に全ての選択肢を与える。また、これは、デコード回路を遅延経路に一体化し、その結果面積が比較的小さくなるので、コンパクトである。この種のプログラマブル遅延は、このような面で有利であるが、必須ではない。遅延調節回路40の代わりに、当技術分野において既知のその他の種類のプログラマブル遅延を用いることも可能である。

【0027】二進の1, 2, 4, 8の手法以外にも、遅延の比率を選択するためには、他の選択肢も使用可能である。ビット選択に基づいて非線形遅延を用いる状況もあり得る。選択が大量の遅延または殆ど無遅延となる状況もあり得るが、双方の場合、微調整は必要である。このような場合、所定の遅延100を、大きな遅延が望まれる場合の遅延の推定値である、比較的大きな値を選択することができる。他の遅延は、同じ1, 2, 4の関係のまま残しておけば、大きな遅延の場合またはほぼ0の遅延の場合のいずれにも、細かい解像度に対応する。いずれにしても、更に有用で、122, 123, 124, 125上の二進入力によって選択可能な、他の遅延の組み合わせもあり得る。

【0028】図4は、プリチャージ信号を受信するセンス・アンプ46を示す。プリチャージ信号は、論理ロー状態において、トランジスタ202, 204をイネーブルし、ローカル・データ・ライン61, 62を、VDD上にある電圧までプリチャージする。ローカル・データ・ライン61 (LDLB, ローカル・データ・ライン・バー) は、相補データ・ラインとして示されている。ローカル・データ・ライン62 (LDL) は、真のデータ・ラインである。プリチャージ信号200は、論理ローでアクティブとなる。何故なら、これは、ローカル・データ・ライン61, 62を論理ハイにプリチャージさせる状態であるからである。プリチャージ信号200がローカル・データ・ライン61, 62をプリチャージするのと同時に、等化回路26がグローバル・データ・ライン56, 57をVDDに等化する。ローカル・データ・ライン61, 62が論理ハイになると、トランジスタ216, 218はディゼーブルされる。読み取りの開始時に、プリチャージ信号200はディゼーブルされるの

で、ローカル・データ・ライン61, 62は、これらのラインに伴う容量およびこれらに結合されたトランジスタ・ノードの容量によって、論理ハイ状態に保持される。読み取りプロセスが開始すると、ビット・ラインはデータを発生し始め、列デコーダ47のような列デコーダは、選択したビット・ライン対をローカル・データ・ライン61, 62に結合する。ローカル・データ・ライン61, 62上に信号を十分発生した後、センス・アンプ・イネーブル信号201がイネーブルされ、トランジスタ214が導通状態となる。これは、トランジスタ206, 208, 210, 212をイネーブルすることによって、センス・アンプ46をイネーブルし、ローカル・データ・ライン61, 62上に与えられたデータを増幅し始め、ラッチする効果がある。この例において、ローカル・データ・ライン61, 62が、それぞれ、論理ロー状態および論理ハイ状態で表される情報を受信すると仮定する。かかる場合、トランジスタ218は非導通状態のままであり、トランジスタ216は導通状態となる。トランジスタ216が導通状態にある間、グローバル・データ・ライン56上の電圧は、トランジスタ216を通過してアースに流れる電流のために減少していく。グローバル・データ・ライン56上の電圧は、トランジスタ216が非導通状態になるまで、降下し続ける。トランジスタ216が非導通状態になるのは、グローバル・データ・ラインが十分に降下し、トランジスタ216のスレシホールド電圧をもはや超過しなくなった後である。トランジスタ216のスレシホールド電圧は、トランジスタ216のソースによる基板効果(body effect)によって影響を受ける。したがって、グローバル・データ・ライン56とローカル・データ・ライン61との間の電圧差は、Pチャネル・トランジスタの通常のスレシホールド電圧に基板効果によって加算される量をえた大きさとなる。

【0029】グローバル・データ・ライン57は不变のままである。したがって、グローバル・データ・ライン56とグローバル・データ・ライン57との間に電圧差が確立するが、この電圧は、VDDとトランジスタ16のスレシホールド電圧に基板効果を加えた値との差に制限される。この種の増幅器の利点は、この差が比較的小さく保たれるが、二次増幅器30による素早い検出には十分であるということにある。グローバル・データ・ライン56, 57が比較的長く、しがたって容量が大きい場合、この電圧差は、次の読み取りのための準備を促進し、プリチャージに要する時間が短縮する。二次増幅器30はダイナミック増幅器であるので、この比較的小さな差を検出し、グローバル・データ・ライン56から与えられるデータをラッチすることができる。しかしながら、主要な利点は電流を節約することである。何故なら、これらのアクセスは、この場合、恐らく3ナノ秒離れて発生するので、グローバル・データ・ライン56,

57の大きな容量に流れ込むこの電荷量が大量となるからである。

【0030】センス・アンプ・イネーブル信号201は、センス・アンプ46の動作を最適化するためには重要なタイミング信号である。これは、遅延調節回路40によって正確に遅延され、ヒューズ回路24が与える遅延選択信号47によってプログラムされる信号である。信号47は、遅延調節回路40のような遅延調節回路に遅延情報を全体的に与え、ブロック選択信号49に応答して、共通クロック信号45の正確なイネーブリング(enabling)を局所的に遅延させる。一方、正確に発生する共通クロック信号45は、正確にセンス・アンプ・イネーブル信号201を発生する。また、共通信号45は、グローバル・データ・ライン56上のデータの発生をライン12上の二次増幅器信号50の発生と一致させるよう、二次増幅器信号50を発生する。

【図面の簡単な説明】

【図1】本発明の一実施例によるメモリのブロック図。

【図2】図1のメモリの選択部分のブロック図。

【図3】図2に示す選択部分の一部の論理図。

【図4】本発明の一実施例によるセンス・アンプの回路図。

【符号の説明】

10 集積回路

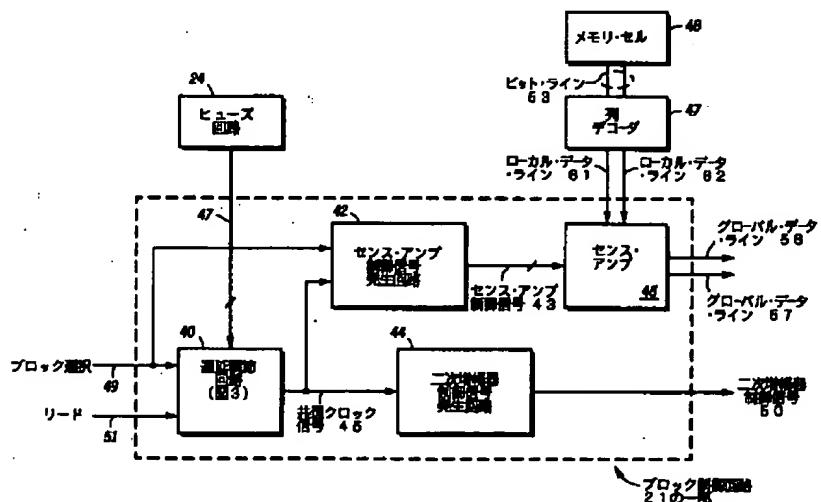
13, 14 アレイ

17, 18 ブロック

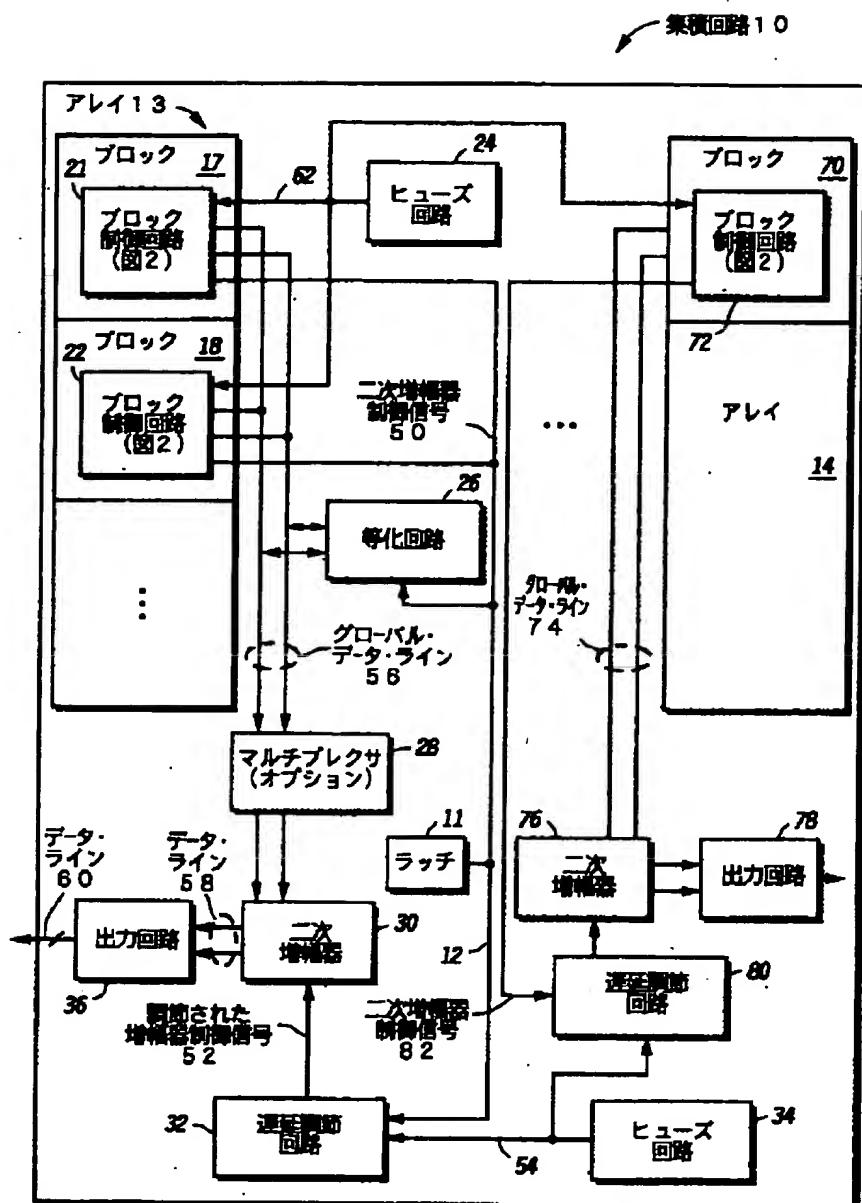
21, 22 ブロック制御回路

24	ヒューズ回路
26	等化回路
28	マルチプレクサ
30	二次増幅器
32	遅延調節可回路
34	ヒューズ回路
36	出力回路
40	遅延調節回路
42	センス・アンプ制御信号発生回路
10	二次増幅器制御信号発生回路
44	センス・アンプ
46	列デコーダ
47	メモリ・セル
48	メモリ・セル
70	ブロック
72	ブロック制御回路
74	グローバル・データ・ライン
76	二次増幅器
78	出力回路
80	遅延調節回路
20	100~103 遅延回路
	104 NANDゲート
	110~117 トライ・ステータブル・バッファ
	118~121 反転器
	202, 204, 206, 208 Pチャネル・トランジスタ
	210, 210, 210, 216, 218 Nチャネル・トランジスタ

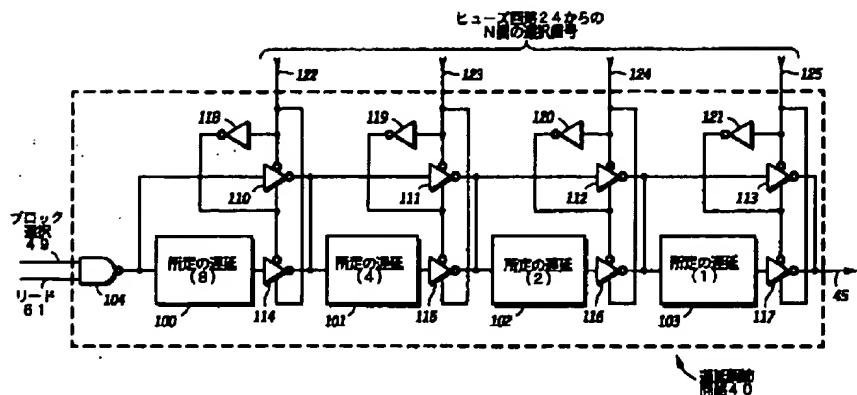
【図2】



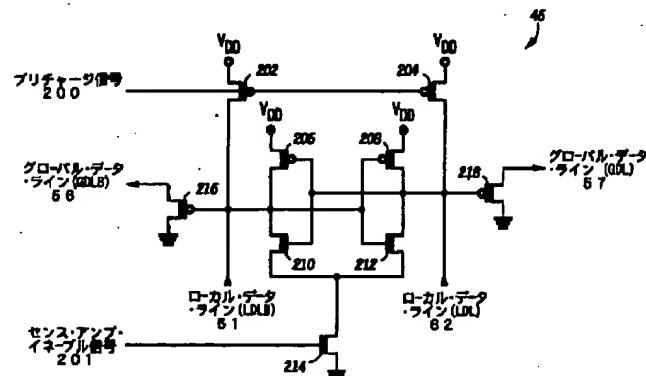
【図1】



【図3】



【図4】



フロントページの続き

(72)発明者 ウィリアム・アール・ワイアー  
アメリカ合衆国テキサス州オースチン、ラ  
イトウッド・ループ9307

(72)発明者 リチャード・ワイ・ウォン  
アメリカ合衆国テキサス州オースチン、ド  
ライ・ウェルス・ロード5306  
Fターム(参考) 5B024 AA15 BA09 BA21 BA29 CA15